

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-142841 JP 3142841 A]

PUBLISHED: June 18, 1991 (19910618)

INVENTOR(s): AKIBA TOSHIHIKO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-280199 [JP 89280199]

FILED: October 27, 1989 (19891027)

INTL CLASS: [5] H01L-021/336; H01L-021/265; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1111, Vol. 15, No. 365, Pg. 21,
September 13, 1991 (19910913)

>> ABSTRACT

>>PURPOSE: To prevent a defective gate oxide film and thereby to enhance the
>>reliability of the operation of the title device by a method wherein the
>>edge part of the gate oxide film is so removed before oblique ion
>>implantation that ions do not pass the edge part.

>>
>>CONSTITUTION: Low-concentration phosphorus ions 5 of impurities whose
>>conductivity type is opposite to that of a substrate 1 are implanted
>>obliquely to the substrate 1. In this case, the side part 2a' of a gate
>>oxide film 2a is in a position through which the low-concentration ions 5
>>do not pass. A gate oxide film 2 in a part through which the
>>low-concentration ions 5 pass the gate electrode 4 and the gate oxide film
>>2a is removed in advance; the gate oxide film 2a is formed only in the part
>>through which the low-concentration ions 5 do not pass the gate electrode 4
>>and the gate oxide film 2a. Consequently, the gate oxide film do not become
>>defective even when the ions are implanted obliquely.

>>*****

>>

>>

Manufacture of transistor with lightly doped drain structure
- Toshikiko Akiba

③ 日本国特許庁(JP)

⑩ 特許出願公開

④ 公開特許公報(A) 平3-142841

⑥ Int. Cl.⁵

識別記号

庁内整理番号

⑨ 公開 平成3年(1991)6月18日

H 01 L 21/336
21/265
29/784

8422-5F
7738-5F
7738-5F

H 01 L 29/78
21/265

3 0 1 L
V
L

審査請求 未請求 請求項の数 1 (全4頁)

⑧ 発明の名称 半導体装置の製造方法

⑪ 特 願 平1-280199

⑫ 出 願 平1(1989)10月27日

⑬ 発 明 者 秋 葉 利 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑭ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ゲートイオン注入を行なうことによりゲート電極(4)下にも低濃度ソース(7)、低濃度ドレイン(8)が存在する構造のLDDトランジスタを製造する方法において、

上記ゲートイオン注入によるイオンが通過する部分のゲート酸化膜(2)を上記ゲートイオン注入の前に予め除去しておく工程と、

前記低濃度ソース(7)及び低濃度ドレイン(8)を形成するための上記ゲートイオン注入を行なう工程と、

上記ゲート酸化膜(2)を除去することによって露出した基板(1)面を酸化してここに酸化膜(2b)を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(要 要)

高電界を緩和するための低濃度不純物拡散領域をソース、ドレインの一部としてもついわゆるLDD(lightly doped drain)構造のMOSFETに関し、

ゲートイオン注入によってゲート電極下にも低濃度不純物拡散領域を形成する際、ゲート酸化膜に欠陥を作ることなく、動作信頼性の高いLDDトランジスタを製造することを目的とし、

ゲートイオン注入によるイオンが通過する部分のゲート酸化膜をゲートイオン注入の前に予め除去しておく工程と、ゲートイオン注入を行なう工程と、ゲート酸化膜を除去することによって露出した基板面を酸化してここに酸化膜を形成する工程とを含む。

(産業上の利用分野)

本発明は、高電界を緩和するための低濃度不純

物低濃領域をソース、ドレインの一部としてもつ
いわゆるLDD構造のMOSFETに関する。

近年、LSIで用いられるトランジスタは微細
化が要求されており、今後その傾向はますます強
くなるものと考えられる。このように微細化を行
なうとホットエレクトロンによる閾値電圧 V_{th} や
相互コンダクタンスの変動等の問題を生じ、この
ため、ホットエレクトロン効果を抑える必要があ
る。そこで、このホットエレクトロン耐圧低下の
原因である高電界を緩和するための低濃度不純物
低濃領域をソース、ドレインの一部としてもつ、
LDDトランジスタが用いられるようになってき
た。

ところで、最近、低濃度不純物低濃領域はゲ
ート電極下にも形成した形状の方がホットエレクト
ロン効果による前記トランジスタの特性変動を
少なくできることが知られている。このような形
状にするには、低濃度イオン注入を斜め方向から
行ない、低濃度イオンをゲート電極下の基板部分
にもぐり込ませるようにして注入する必要がある。

ズ量)をイオン注入する。次に図四(E)におい
て、ヒ素イオン注入部分を活性化して高濃度ソー
ス10、高濃度ドレイン11を形成し、PSGの
層間絶縁膜12を約 $1\mu m$ の厚さに形成し、コン
タクトホールを開孔してアルミニウム合金の配線
金属膜13を約 $1\mu m$ の厚さに形成する。

(発明が解決しようとする課題)

従来の方法は、ゲート電極4下に低濃度ソース
7、低濃度ドレイン8を形成するために単に斜め
イオン注入を行なうだけであるので、第2図(B)
中の破線円内を拡大して示す如く、リンイオン5
はゲート酸化膜2を透過して基板1に達する際に、
ゲート電極4下のゲート酸化膜2において欠陥A
(X印)を生じる。即ち、第2図(C)に示すゲ
ート電極4とその下の低濃度ソース7、低濃度ド
レイン8との間の電界が印加される部分に欠陥が
存在することになり、トランジスタ動作に支障を
きたす問題点があった。

本発明は、斜めイオン注入によってゲート電極

(従来の技術)

第2図は従来の一例の製造工程図を示す。同図
(A)において、例えばP型のシリコン基板1の
表面に酸化シリコンのゲート酸化膜2を数 100\AA
の厚さに形成し、LOCOS法にて酸化シリコン
のフィールド酸化膜3を数 1000\AA の厚さに形成し、
多結晶シリコンのゲート電極4を数 1000\AA の厚さ
に形成する。次に同図(B)において、基板1と
逆導電型不純物の低濃度リンイオン5($10^{15} \sim$
 10^{16} cm^{-3} のドーズ量)を基板1に対して斜め方
向からイオン注入する。次に同図(C)に示す如
く、酸化シリコン膜6a(破線)を形成し、その
後、異方性エッチングでゲート電極4の両側に酸
化シリコン膜6aを約 $0.2\mu m \sim 0.4\mu m$ 残して
サイドウォール6を形成し、次に、リンイオン注
入部分を活性化して低濃度ソース、低濃度ドレ
イン8を形成する。

更に同図(D)において、ゲート電極4及びサ
イドウォール6をマスクとして基板1と逆導電型
不純物の高濃度ヒ素イオンの(10^{18} cm^{-3} のド

下にも低濃度不純物低濃領域を形成する際、ゲ
ート酸化膜に欠陥を作ることなく、動作信頼性の高
いLDDトランジスタを製造できる半導体装置の
製造方法を提供することを目的とする。

(課題を解決するための手段)

上記問題点は、斜めイオン注入によるイオンが
通過する部分のゲート酸化膜を斜めイオン注入の
前に予め除去しておく工程と、低濃度ソース及び
低濃度ドレインを形成するための斜めイオン注入
を行なう工程と、ゲート酸化膜を除去することに
よって露出した基表面を酸化してここに酸化膜を
形成する工程とを含むことを特徴とする半導体装
置の製造方法によって解決される。

(作用)

斜めイオン注入によってイオンが通過する部分
のゲート酸化膜は予め除去されており、斜めイ
オン注入によってゲート酸化膜に欠陥を生じないよ
うにしてある。除去された部分の酸化膜は斜めイ

オン注入後に再度形成する。従って、ゲート酸化膜に欠陥を致すことはなく、ゲート電極、ゲート酸化膜、低濃度ソース、ドレインの間に電界が印加された場合、ゲート酸化膜に欠陥がないので、トランジスタ動作に高い信頼性を得ることができる。

(実施例)

第1図は本発明の一実施例の製造工程図を示し、図中、第2図と同一構成部分には同一番号を付す。第1図(A)は第2図(A)と全く同一の工程である。次に、第1図(A)において、例えばフッ素を用いたウェットエッチング処理を行ない、図(B)に示すようにゲート酸化膜2をゲート電極4のみに残す(2a)ようにする。この場合、被蝕内を拡大して示す如く、ゲート酸化膜2aの側部2a'はゲート電極4のエッジより内側になるようにエッチングする。

次に図(B)において、基板1と逆導電型不

純物の低濃度リンイオン5($10^{15} \sim 10^{16} \text{ cm}^{-3}$ のドーズ量)を基板1に対して斜め方向からイオン注入する。この場合、前記ゲート酸化膜2aの側部2a'の位置は、低濃度イオン5がゲート電極4→酸化膜(2a)を通過しないような位置に設定されている。このように、低濃度イオン5がゲート電極4→ゲート酸化膜2を通過する部分のゲート酸化膜2は予め除去かれており、ゲート電極4→ゲート酸化膜(2a)を通過しない部分のみゲート酸化膜2aが設けられているので、第2図(B)に示す従来例のようにゲート酸化膜に斜めイオン注入による欠陥が入ることはない。

次に図(C)に示す如く、図(B)におけるウェットエッチング処理で露出した基板1を再度酸化して酸化シリコンの酸化膜2bを数100Åの厚さに形成し、その後にリンイオン注入部分を活性化して低濃度ソース7、低濃度ドレイン8を形成する。次に図(D)に示す如く、酸化シリコン膜6a(被蝕)を形成し、その後、異方性エ

ッチングでゲート電極4の両側に幅 $0.2\mu\text{m} \sim 0.4\mu\text{m}$ のサイドウォール6を形成する。次に図(E)において、ゲート電極4及びサイドウォール6をマスクとして基板1と逆導電型不純物の高濃度ヒ素イオン9(10^{18} cm^{-3} のドーズ量)をイオン注入する。次に図(F)において、ヒ素イオン注入部分を活性化して高濃度ソース10、高濃度ドレイン11を形成し、PSGの露出絶縁膜12を約 $1\mu\text{m}$ の厚さに形成し、コンタクトホールを開孔してアルミニウム合金の配線金属膜13を約 $1\mu\text{m}$ の厚さに形成する。

(発明の効果)

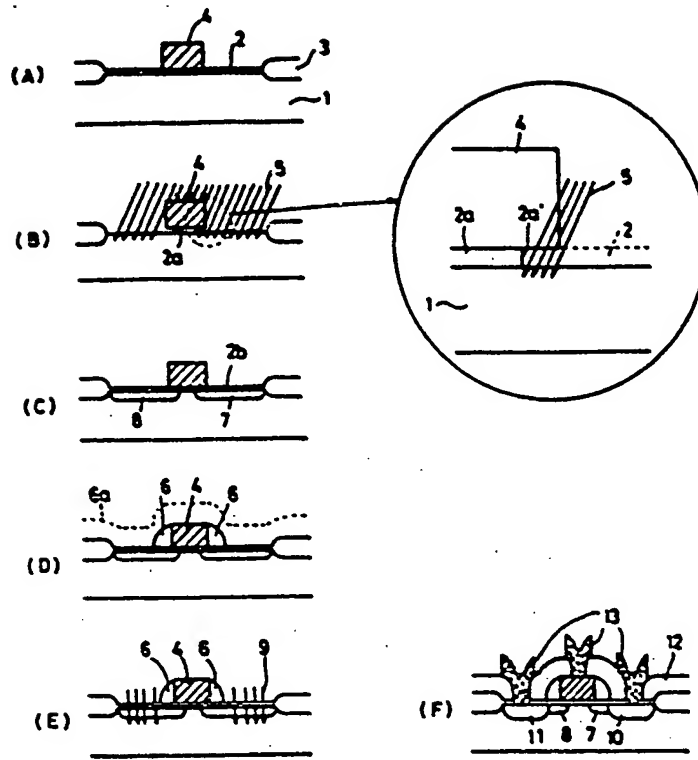
以上説明した如く、本発明によれば、斜めイオン注入によってイオンが通過する部分のゲート酸化膜を予め除去しているため、斜めイオン注入によってゲート酸化膜に欠陥を生じることはなく、動作信頼性の高いLDDトランジスタを得ることができる。

4. 図面の簡単な説明

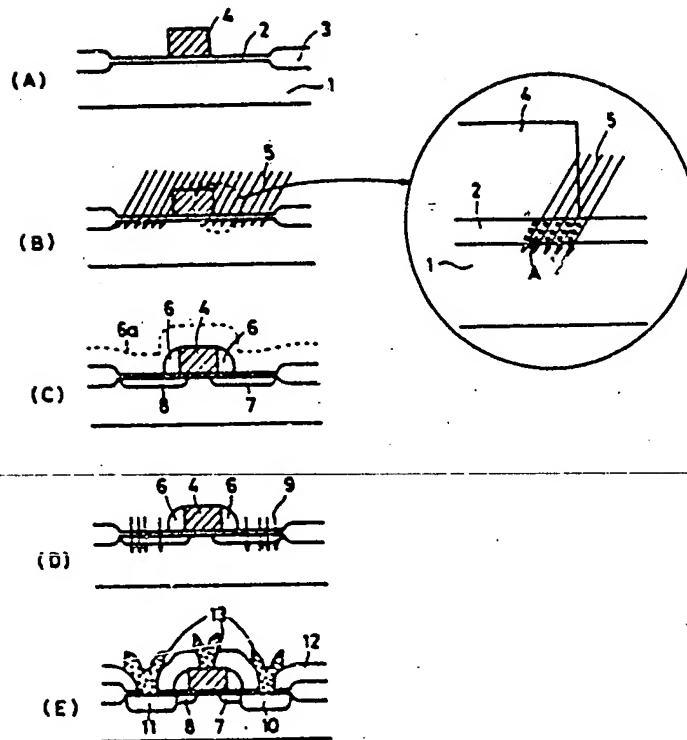
第1図は本発明の一実施例の製造工程図、第2図は従来の一例の製造工程図である。

図において、

- 1はシリコン基板、
- 2、2aはゲート酸化膜、
- 2a'はゲート酸化膜2aの側部、
- 2bは酸化膜、
- 4はゲート電極、
- 5はリンイオン、
- 6はサイドウォール、
- 7は低濃度ソース、
- 8は低濃度ドレイン、
- 10は高濃度ソース、
- 11は高濃度ドレインを示す。



本発明の一実施例の製造工程図
第 1 図



従来の一例の製造工程図
第 2 図